

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11298207
PUBLICATION DATE : 29-10-99

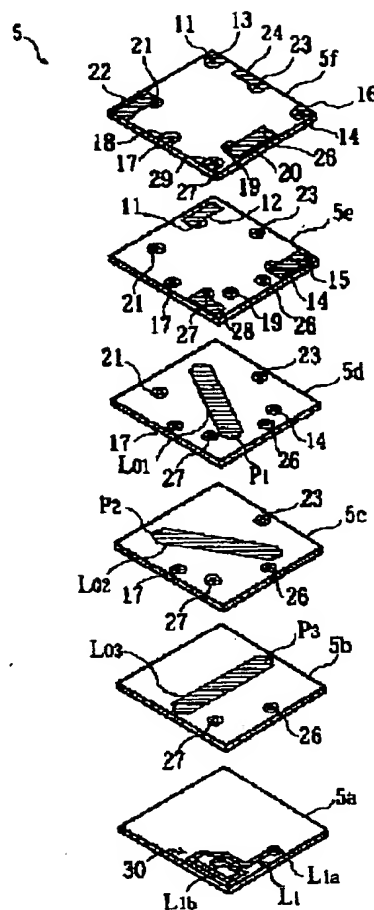
APPLICATION DATE : 08-04-98
APPLICATION NUMBER : 10096010

APPLICANT : MURATA MFG CO LTD;

INVENTOR : HASEGAWA TAKASHI;

INT.CL. : H01P 1/383 H01P 1/36

TITLE : IRREVERSIBLE CIRCUIT ELEMENT



ABSTRACT : PROBLEM TO BE SOLVED: To provide a irreversible circuit element with which unwanted radiation can be reduced by enlarging the amount of attenuation outside frequency bands while avoiding price-up and expansion and further current consumption can be reduced by reducing load fluctuation.

SOLUTION: Concerning a centralization constant type isolator (irreversible circuit element) with which plural central conductors Lo1-Lo3 are arranged so as to mutually cross in electric insulating state and so that a DC magnetic field is impressed to the crossing part, as a circuit element 30 consisting of a band pass filter, an inductor L1 is added to an input port P1 of the central conductor Lo1, and the inductor L1 and the respective central conductors Lo1-Lo3 are formed on a dielectric laminate substrate 5 formed by laminating a lot of dielectric sheets 5a-5f.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-298207

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶

H 0 1 P 1/383
1/36

識別記号

F I
H 0 1 P 1/383
1/36

A
A

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平10-96010

(22) 出願日

平成10年(1998)4月8日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 牧野 敏弘

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(72) 発明者 川浪 崇

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(72) 発明者 中田 隆雄

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

(74) 代理人 弁理士 下市 努

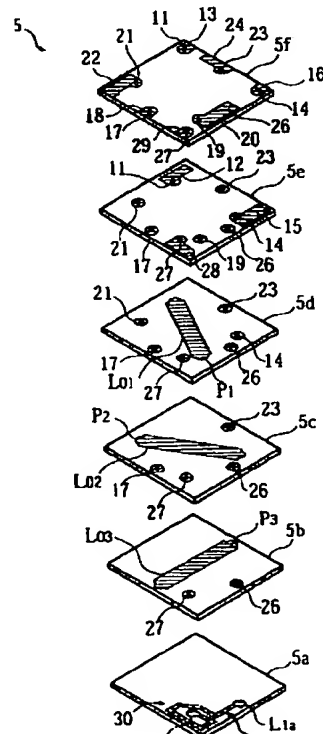
最終頁に続く

(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【課題】 高価格化、及び大型化を回避しながら周波数帯域外での減衰量を大きくして不要輻射を低減でき、さらには負荷変動を小さくして消費電流を低減できる非可逆回路素子を提供する。

【解決手段】 複数の中心導体L_{o1}~L_{o3}を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした集中定数型アイソレータ1 (非可逆回路素子) において、上記中心導体L_{o1}の入力ポートP1に帯域通過フィルタを構成する回路素子30としてのインダクタL1を付加し、該インダクタL1と各中心導体L_{o1}~L_{o3}とを多数の誘電体シート5a~5fを積層してなる誘電体積層基板5に形成する。



【特許請求の範囲】

【請求項1】 複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体とを多数の誘電体シートを積層してなる誘電体積層基板に形成したことを特徴とする非可逆回路素子。

【請求項2】 複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量とを多数の誘電体シートを積層してなる誘電体積層基板に形成したことを特徴とする非可逆回路素子。

【請求項3】 複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、該各中心導体に接続される入出力端子及びアース端子とを多数の誘電体シートを積層してなる誘電体積層基板に形成したことを特徴とする非可逆回路素子。

【請求項4】 複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体とを多数の磁性体シートを積層してなる磁性体積層基板に形成したことを特徴とする非可逆回路素子。

【請求項5】 複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量とを多数の磁性体シートを積層してなる磁性体積層基板に形成したことを特徴とする非可逆回路素子。

【請求項6】 複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、該各中心導体に接続される入出力端子及びアース端子とを多数の磁性体シートを積層してなる磁性体積層基板に形成したことを特徴とする非可逆回路素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波帯で使用される非可逆回路素子、例えばアイソレータ、サーキュレータに関する。

【0002】

【従来の技術】この種の集中定数型アイソレータとして、従来、例えば図18及び図19に示す構造のものがある。この集中定数型アイソレータ60は、主としてケース61とキャップ62と磁石66とで構成される磁気回路内に整合用単板型コンデンサC₀～C₀、終端抵抗Rが配置された端子ブロック63を配置するとともに、フェライト64を配置し、該フェライト64に3つの中心導体L₀が埋設された誘電体積層基板65を配置し、該フェライト64に磁石66により直流磁界を印加するように構成されている。

【0003】上記誘電体積層基板65は、複数の誘電体シート65a～65eにそれぞれ中心導体L₀～L₀、スルーホール電極67、及び入出力、アース電極68をパターン形成し、該各誘電体シート65a～65eを積層した構造となっている。このアイソレータ60は、図20の等価回路図に示すように、各中心導体L₀のポートP1～P3に整合用コンデンサC₀が接続され、1つのポートP3に終端抵抗Rが接続されている。

【0004】このようなアイソレータは順方向の信号には減衰量が小さく、逆方向の信号には減衰量が大いという特性を有しており、例えば携帯電話等の通信機器の送信回路部に採用されている。

【0005】ところで上記通信機器に組み込まれる増幅器には高調波の直線歪が存在しており、これが不要輻射（スプリアス、特に基本波の2倍波、3倍波）の発生原因となっている。この不要輻射は、混信や電力増幅器の異常動作の要因となることから、一定のレベル以下にすることが要求される。この不要輻射の発生を防止するために、直線性の優れた増幅器を採用したり、あるいは別途フィルタを採用して不要波を減衰させる場合がある。

【0006】

【発明が解決しようとする課題】しかしながら直線性の良い増幅器は高価であり、またフィルタを別途採用する場合には部品点数が増える分だけコストが上昇するとともに通信機器全体が大型化するという問題が生じる。このため小型化、低価格化の要請が強い携帯電話等の通信機器には採用し難い。

【0007】また上記増幅器はこれの出力部の負荷変動によって消費電流が著しく変化し易く、極端な場合には発信するおそれがある。このため帯域内における出力部の負荷変動をできるだけ抑制することが要求されている。

【0008】ここで、上記通信機器には増幅器の安定動作及び保護のために増幅器の出力側にアイソレータ又はサーキュレータが使用されている。特に集中定数型アイ

ソレータ、サーキュレータは、その順方向の特性としてバンドパスフィルタの機能を有しており、このため通過帯域より離れた周波数帯域では順方向でも減衰量が大いという特長がある。

【0009】このようなアイソレータの帯域外における特性を利用することにより不要波を減衰させることが考えられる。ところが、上記アイソレータは元来帯域外の減衰を得るためのものではないことから、その性能を発揮するには限界がある。

【0010】本発明は、このような従来の状況に鑑みてなされたもので、高価格化、及び大型化を回避しながら周波数帯域外での減衰量を大きくして不要輻射を低減でき、さらには負荷変動を小さくして消費電流を低減できる非可逆回路素子を提供することを目的としている。

【0011】

【課題を解決するための手段】請求項1の発明は、複数の中心導体を電氣的絶縁状態で互いに交差させて配置するとともに、該交差部分に直流磁界を印加するようにした非可逆回路素子において、上記中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体とを多数の誘電体シートを積層してなる誘電体積層基板に形成したことを特徴としている。

【0012】請求項2の発明は、請求項1と同様の非可逆回路素子において、中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量とを多数の誘電体シートを積層してなる誘電体積層基板に形成したことを特徴としている。

【0013】請求項3の発明は、請求項1と同様の非可逆回路素子において、中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、該各中心導体に接続される入出力端子及びアース端子とを多数の誘電体シートを積層してなる誘電体積層基板に形成したことを特徴としている。

【0014】請求項4の発明は、請求項1と同様の非可逆回路素子において、中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体とを多数の磁性体シートを積層してなる磁性体積層基板に形成したことを特徴としている。

【0015】請求項5の発明は、請求項1と同様の非可逆回路素子において、中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量とを多数の磁性体シートを積層してなる磁性体積層基板に形成したことを特徴としている。

としている。

【0016】請求項6の発明は、請求項1と同様の非可逆回路素子において、中心導体の入力ポートに帯域通過フィルタを構成する回路素子の少なくとも一部を付加し、該回路素子と上記各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、上記各中心導体に接続される入出力端子及びアース端子とを多数の磁性体シートを積層してなる磁性体積層基板に形成したことを特徴としている。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を添付図面に基づいて説明する。図1ないし図3は、請求項1の発明の第1実施形態による集中定数型アイソレータを説明するための図であり、図1はアイソレータの分解斜視図、図2誘電体積層基板の分解斜視図、図3はアイソレータの等価回路図である。

【0018】図1において、1は集中定数型のアイソレータであり、これは磁性体金属からなるケース2の底面2a上に端子ブロック3を配置し、該端子ブロック3にフェライト4を配置するとともに、誘電体積層基板5を配置し、上記ケース2に同じく磁性体金属からなる箱状のキャップ6を装着し、該キャップ6の内面に矩形状の永久磁石7を貼着して磁気回路を形成し、該永久磁石7により直流磁界を印加するように構成されている。

【0019】上記端子ブロック3は電氣的絶縁樹脂からなり、矩形棒状の側壁3aに底壁3bを一体形成した構造のものであり、この底壁3bには挿通孔3cが形成されており、該底壁3bの挿通孔3cの周縁にはそれぞれ整合用平板型コンデンサC01～C03及び平板型終端抵抗Rが収納される凹部3dが形成されている。また上記挿通孔3cにはフェライト4が挿入配置されており、該フェライト4の下面はケース2の底面2aに当接している。

【0020】上記端子ブロック3の左、右側壁3aの外面には表面実装用の入力、出力端子8及びアース端子9が形成されており、該入力、出力端子8は底壁3bの上面のコーナー部に導出されている。また上記アース端子9は上記各凹部3dの上面に導出されており、上記各コンデンサC01～C03の下面電極、及び終端抵抗Rの一端が接続されている。この各端子8、9は端子ブロック3内に一部をインサートモールドして形成されたものである。

【0021】上記誘電体積層基板5は、図2に示すように、矩形状の第1～第6誘電体シート5a～5fを積層し、該積層体を一体化して構成されている。この誘電体積層基板5の第2～第4誘電体シート5b～5dの上面にはそれぞれ中心導体L01～L03が互いに120度の角度ごとに交差するようにパターン形成されており、各中心導体L01～L03は誘電体シート5c、5dを挟んで電氣的絶縁状態で交差している。上記誘電体積層基板5は、図2に示すように、矩形状の第1～第6誘電体シート5a～5fを積層し、該積層体を一体化して構成されている。この誘電体積層基板5の第2～第4誘電体シート5b～5dの上面にはそれぞれ中心導体L01～L03が互いに120度の角度ごとに交差するようにパターン形成されており、各中心導体L01～L03は誘電体シート5c、5dを挟んで電氣的絶縁状態で交差している。

層基板5は第6誘電体シート5fの上面(入出力、アース端子電極側)を下方に向け、かつ中心導体L_o1~L_o3の交差部分がフェライト4の上面に当接するように端子ブロック3内に収納されている。

【0022】上記第2~第6誘電体シート5b~5fの上面には、各中心導体L_o1~L_o3、及び後述するインダクタL₁を相互に接続する入出力端子電極、アース電極、ランド電極、及びスルーホール電極11~29がパターン形成されている。

【0023】上記中心導体L_o1の一端側(アース側)は各スルーホール電極11、ランド電極12を介してアース電極13に接続されており、該アース電極13は終端抵抗Rのアース側とアース端子9に接続されている。上記中心導体L_o2のアース側は各スルーホール電極14、ランド電極15を介してアース電極16に接続されており、該アース電極16は端子ブロック3のアース端子9に接続されている。また残りの中心導体L_o3のアース側は各スルーホール電極17を介してアース電極18に接続されており、該アース電極18は端子ブロック3のアース端子9に接続されている。

【0024】上記中心導体L_o1のポートP1は各スルーホール電極19を介してランド電極20に接続されており、該ランド電極20はコンデンサC_o1の上面電極に接続されている。また上記中心導体L_o2のポートP2は各スルーホール電極21を介して出力電極22に接続されており、該出力電極22はコンデンサC_o2の上面電極及び端子ブロック3の出力端子8に接続されている。また残りの中心導体L_o3のポートP3は各スルーホール電極23を介してランド電極24に接続されており、該ランド電極24はコンデンサC_o3及び終端抵抗Rのホット側に接続されている。

【0025】そして上記第1誘電体シート5aの上面には、帯域通過フィルタを構成する回路素子30としての直列インダクタL₁がパターン形成されている。このインダクタL₁の一端L₁aは各スルーホール電極26を介して上記ポートP1のランド電極20に接続され、他端L₁bは各スルーホール電極27、ランド電極28を介して入力電極29に接続されており、この入力電極29は端子ブロック3の入力端子8に接続されている。

【0026】これにより入力ポートP1には帯域通過フィルタの一方の構成要素である直列インダクタL₁が付加されている。また他方の構成要素である直列コンデンサC₁はアイソレータ1の外部に形成されており、このインダクタL₁、コンデンサC₁とで帯域通過フィルタ(BPF)が形成されている(図3の等価回路図参照)。

【0027】次に本実施形態の作用効果について説明する。図4、図5は上記集中定数型アイソレータの効果を確認するために行った実験結果を示す特性図である。

【0028】図4において、一点鎖線は本実施形態のアイソレータの通過特性を示し、実線は従来のアイソレータの通過特性を示す。同図からも明らかなように、本実施形態によれば、入力ポートに帯域通過フィルタを付加したことにより従来に比べて周波数帯域外での減衰量が大きくなっていることがわかる。

【0029】図5において、一点鎖線は本実施形態のアイソレータの入力インピーダンスを示し、実線は従来のアイソレータの入力インピーダンスを示す。同図からも明らかなように、入力ポートに帯域通過フィルタを付加したことにより従来に比べて入力ポートでの帯域内の負荷変動が小さくなっていることがわかる。

【0030】このように本実施形態の集中定数型アイソレータ1によれば、入力ポートP1に帯域通過フィルタを構成する回路素子30を付加し、外部にコンデンサを付加したので、アイソレータ1の動作周波数帯域外、特に高周波側の帯域(2倍波、3倍波)における減衰量を大きくすることができ、高調波歪及び不要輻射を低減できる。これにより簡単な構造でかつ安価に帯域通過フィルタを形成でき、上述の高価な増幅器や別途フィルタを不要にして小型化、低価格化に貢献できる。

【0031】また上記入力ポートP1に帯域通過フィルタを接続したので、アイソレータ1の入力ポートP1、即ち増幅器の出力部の帯域内の負荷変動を小さくでき、増幅器の消費電流を低減できるとともに、増幅器の動作を安定でき、通信機器の高性能化に貢献できる。

【0032】本実施形態では、各中心導体L_o1~L_o3と、回路素子30の一方側を構成するインダクタL₁とを複数の誘電体シート5a~5fを積層してなる誘電体積層基板5に形成したので、インダクタL₁を内蔵するための別部品を不要にでき、小型化、軽量化に対応できる。また各誘電体シート5a~5fの上面にのみ各電極を形成したので、誘電体シートの両面に電極を形成する場合に比べて製造が容易であり、この点からもコストを低減できる。

【0033】なお、上記実施形態では、インダクタL₁を誘電体積層基板5に内蔵し、コンデンサC₁をアイソレータの外部に設けた場合を説明したが、本発明はこの逆のコンデンサを誘電体積層基板に内蔵し、インダクタを外付けしてもよく、あるいはインダクタ、コンデンサの両方を誘電体積層基板に内蔵してもよい。

【0034】図6及び図7は、請求項1の発明の第2実施形態を説明するための図であり、図6は誘電体積層基板の分解斜視図、図7はその等価回路図である。図中、図2、図3と同一符号は同一又は相当部分を示す。

【0035】本実施形態は、誘電体積層基板5を構成する第2~第4誘電体シート5b~5dに各中心導体L_o1~L_o3を形成するとともに、第1誘電体シート5aに帯域通過フィルタの構成要素である直列インダクタL₁、及び第5誘電体シート5eに直列コンデンサC₁、第6誘電体シート5fにC₁bの両方をパターン形

成して構成されている。

【0036】上記インダクタL1の一端L1aは各スルーホール電極26を介して入力ポートP1のランド電極20に接続され、他端L1bは各スルーホール電極27を介して第1コンデンサ電極C1aに接続されている。この第1コンデンサ電極C1aと第6誘電体シート5fを挟んで対向する第2コンデンサ電極C1bは入力電極29を介して入力端子8に接続されている。これにより入力ポートP1には帯域通過フィルタの構成要素であるインダクタL1、コンデンサC1の両方が付加されている(図7の等価回路図参照)。

【0037】本実施形態では、誘電体積層基板5に帯域通過フィルタを構成するインダクタL1、コンデンサC1を内蔵し、該帯域通過フィルタを入力ポートP1に付加したので、周波数帯域外での減衰量を大きくして不要輻射を低減できるとともに、帯域内での負荷変動を小さくして増幅器の消費電流を低減でき、上記第1実施形態と同様の効果が得られる。

【0038】また本実施形態では、誘電体積層基板5にインダクタL1とコンデンサC1の両方を内蔵したので、コンデンサC1を外付けする場合に比べて部品点数を削減できるとともに実装面積を縮小でき、通信機器の小型化、低価格化に貢献できる。

【0039】図8及び図9は、請求項2の発明の一実施形態(第3実施形態)による集中定数型アイソレータを説明するための図であり、図8はアイソレータの分解斜視図、図9は誘電体積層基板の分解斜視図である。図中、図1、図2と同一符号は同一又は相当部分を示す。

【0040】本実施形態の集中定数型アイソレータ1は、ケース2に端子ブロック3、フェライト4、誘電体積層基板5、永久磁石7をそれぞれ配置するとともに、該ケース2にキャップ6を装着して構成されており、基本的構造は第1実施形態と略同様であることから、以下、異なる部分についてのみ説明する。

【0041】上記誘電体積層基板5は、図9に示すように、第1～第8誘電体シート5a～5hを積層して一体化したものであり、第3～第5誘電体シート5c～5eの上面には中心導体L01～L03が形成され、第6～第8誘電体シート5f～5hの中央部にはフェライト4を収納する孔35が形成されており、これにより誘電体積層基板5の下面にはフェライト4が収納されている。

【0042】上記第2誘電体シート5bには帯域通過フィルタの構成要素の一方のインダクタL1が形成され、第6、第7誘電体シート5f、5gには他方のコンデンサC1a、C1bが形成されている。これにより入力ポートP1には帯域通過フィルタを構成する直列インダクタL1、直列コンデンサC1が付加されている。

【0043】そして上記第7誘電体シート5gの上面には整合用コンデンサ電極C01～C03がパターン形成

抵抗R0が形成されている。上記各コンデンサ電極C01～C03には各中心導体L01～L03のポートP1～P3がそれぞれスルーホール電極19、21、23を介して接続されており、このうちポートP3はスルーホール電極23aを介して終端抵抗Rのホット側に接続されている。

【0044】また各中心導体L01～L03のアース側はそれぞれスルーホール電極11、14、17を介して第6、第8誘電体シート5f、5hに形成されたアース電極36、37に接続されており、この中心導体L01のアース側はスルーホール電極11aを介して終端抵抗Rのアース側に接続されている。上記第8誘電体シート5hのアース電極37は端子ブロック3の底面3bに形成されたアース電極38に接続されており、入力、出力電極29、22は入力、出力端子8に接続されている。

【0045】本実施形態によれば、誘電体積層基板5に帯域通過フィルタを構成するインダクタL1、コンデンサC1を内蔵し、これを入力ポートP1に付加したので、周波数帯域外での減衰量を大きくして不要輻射を低減できるとともに、帯域内での負荷変動を小さくでき、本実施形態においても上記実施形態と同様の効果が得られる。

【0046】また上記誘電体積層基板5にインダクタL1とコンデンサC1の両方を内蔵したので、コンデンサC1を外付けする場合に比べて部品点数を削減できるとともに実装面積を縮小でき、上記同様に小型化、低価格化に貢献できる。

【0047】本実施形態では、誘電体積層基板5に整合用コンデンサC01～C03、及び終端抵抗Rを内蔵したので、上述の単板型コンデンサチップ、抵抗チップを用いる場合に比べて部品点数を削減でき、小型化、低価格化にさらに貢献できる。

【0048】なお、上記実施形態では、誘電体積層基板5にインダクタL1、コンデンサC1の両方を内蔵したが、本発明は何れか一方を内蔵し、他方を外付けにしてもよい。また誘電体積層基板5に終端抵抗Rを形成したが、単板型抵抗チップを用いてもよい。

【0049】図10及び図11は、請求項3の発明の一実施形態(第4実施形態)による集中定数型アイソレータを説明するための図であり、図10はアイソレータの分解斜視図、図11は誘電体積層基板の分解斜視図である。図中、図8、図9と同一符号は同一又は相当部分を示す。

【0050】本実施形態の集中定数型アイソレータ1は、ケース2にフェライト4を配置するとともに誘電体積層基板5を配置し、該誘電体積層基板5に永久磁石7を配置し、上記ケース2にキャップ6を装着して構成されている。また上記誘電体積層基板5の下面の両端部には凸部40が突出されており、該凸部40には入力、出力電極29、22が形成されている。

42bが形成されている。この各凸部40はケース2から外方に突出している。

【0051】上記誘電体積層基板5は、第1～第8誘電体シート5a～5hを積層して一体化したものであり、第3～第5誘電体シート5c～5eの上面には中心導体L01～L03が形成され、第2誘電体シート5bには帯域通過フィルタの構成要素の一方のインダクタL1が形成され、また第6、第7誘電体シート5f、5gには他方の構成要素であるコンデンサC1a、C1bが形成されている。また第7誘電体シート5gには整合用コンデンサ電極C01～C03が形成され、第1誘電体シート5aには終端抵抗Rが形成されており、基本的構造は第3実施形態と同様であることから、以下、異なる部分についてのみ説明する。

【0052】上記第8誘電体シート5hの両端部には、上記凸部40に対応する一対の帯板シート5jが積層されており、各帯板シート5jには入力、出力端子電極41a、41b及びアース端子電極42a、42bがパターン形成されている。この入力端子41aには入力電極29がスルーホール電極29aを介して接続され、出力端子電極41bには出力電極22がスルーホール電極22aを介して接続されている。

【0053】本実施形態によれば、誘電体積層基板5に帯域通過フィルタを構成するインダクタL1、コンデンサC1を内蔵し、これを入力ポートP1に付加したので、周波数帯域外での減衰量を大きくして不要輻射を低減できるとともに、帯域内での負荷変動を小さくでき、さらには部品点数を削減できるとともに実装面積を縮小でき、本実施形態においても上記実施形態と同様の効果が得られる。

【0054】本実施形態では、誘電体積層基板5に帯板シート5jを積層して凸部40を形成し、該凸部40に入力、出力端子41a、41b及びアース端子42a、42bを形成したので、上述の比較的大型の端子ブロックを不要にでき、部品点数を削減してコストを低減できるとともに、部品素子全体の小型化を図ることができ、通信機器の小型化、低価格化に貢献できる。

【0055】図12及び図13は、請求項4の発明の一実施形態（第5実施形態）による集中定数型アイソレータを説明するための図であり、図12はアイソレータの分解斜視図、図13はフェライト積層基板の分解斜視図である。図中、図1及び図6と同一符号は同一又は相当部分を示す。

【0056】本実施形態の集中定数型アイソレータ1は、ケース2上に端子ブロック3を配置し、該端子ブロック3の底面3bにフェライト積層基板45を配置し、該フェライト積層基板45に永久磁石7を配置し、上記ケース2にキャップ6を装着して構成されており、基本的構造は上記第1、第2実施形態と略同様である。

【0057】上記フェライト積層基板45は、第1～第

6磁性体シート45a～45fを積層して一体化したもので、第2～第4磁性体シート45b～45dには中心導体L01～L03が形成され、第1磁性体シート45a及び第5、第6磁性体シート45e、45fには帯域通過フィルタの構成要素である直列インダクタL1及び直列コンデンサC1a、C1bが形成されている。

【0058】また第5磁性体シート45eには各中心導体L01～L03のアース側が接続されるアース電極46が形成されており、該アース電極46はランド電極12、15及びスルーホール電極11、14を介してアース電極13、16に接続されている。

【0059】本実施形態では、フェライト積層基板45に帯域通過フィルタを構成するインダクタL1、コンデンサC1を内蔵し、該帯域通過フィルタを入力ポートP1に付加したので、周波数帯域外での減衰量を大きくして不要輻射を低減できるとともに、帯域内での負荷変動を小さくして増幅器の消費電流を低減でき、上記第1、第2実施形態と同様の効果が得られる。

【0060】また本実施形態では、磁性体シート45b～45dに中心導体L01～L03を形成したので、上述の誘電体積層基板とフェライトを1つの部品で構成でき、部品点数を削減でき、コストをさらに低減できるとともに、小型化できる。

【0061】図14及び図15は、請求項5の発明の一実施形態（第6実施形態）による集中定数型アイソレータを説明するための図であり、図14はアイソレータの分解斜視図、図15はフェライト積層基板の分解斜視図である。図中、図8、図9と同一符号は同一又は相当部分を示す。

【0062】本実施形態の集中定数型アイソレータ1は、ケース2に端子ブロック3を配置するとともに、フェライト積層基板45、及び永久磁石7を配置し、上記ケース2にキャップ6を装着して構成されている。

【0063】上記フェライト積層基板45は、第1～第8磁性体シート45a～45hを積層し、第3～第5磁性体シート45c～45eに中心導体L01～L03を形成し、第2磁性体シート45bに帯域通過フィルタの構成要素の一方のインダクタL1を形成するとともに、第6、第7誘電体シート5f、5gに他方のコンデンサC1a、C1bを形成し、これにより入力ポートP1に帯域通過フィルタを構成する直列インダクタL1、直列コンデンサC1を付加して構成されている。

【0064】そして上記第7磁性体シート45gには整合用コンデンサ電極C01～C03が形成されており、また第1誘電体シート5aの裏面には終端抵抗Rが形成されている。上記各コンデンサ電極C01～C03には各中心導体L01～L03のポートP1～P3が接続されており、基本的構造は上記第3実施形態と略同様である。

【0065】本実施形態によれば、フェライト積層基板

45に帯域通過フィルタを構成するインダクタL1、コンデンサC1を内蔵し、これを入力ポートP1に付加したので、周波数帯域外での減衰量を大きくして不要輻射を低減できるとともに、帯域内での負荷変動を小さくでき、本実施形態においても上記第3実施形態と同様の効果が得られる。

【0066】本実施形態では、フェライト積層基板45に中心導体L01～L03を形成するとともに、整合用コンデンサC01～C03、及び終端抵抗Rを形成したので、上述の誘電体積層基板、フェライト、さらには単板型コンデンサチップ、抵抗チップを用いる場合に比べて部品点数を大幅に削減でき、小型化、低価格化に貢献できる。

【0067】図16及び図17は、請求項6の発明の一実施形態(第7実施形態)による集中定数型アイソレータを説明するための図であり、図16はアイソレータの分解斜視図、図17はフェライト積層基板の分解斜視図である。図中、図10、図11と同一符号は同一又は相当部分を示す。

【0068】本実施形態の集中定数型アイソレータ1は、ケース2にフェライト積層基板45を配置するとともに永久磁石7を配置し、該ケース2にキャップ6を装着して構成されている。上記フェライト積層基板45の下面両端部には凸部40が突出されており、該凸部40には入力、出力端子電極41a、41b及びアース端子電極42a、42bが形成されている。

【0069】上記フェライト積層基板45は、第1～第8磁性体シート45a～45hを積層し、第3～第5磁性体シート45c～45eの上面に中心導体L01～L03を形成し、第2磁性体シート45bに帯域通過フィルタの構成要素の一方のインダクタL1を、また第6、第7磁性体シート45f、45gに他方のコンデンサC1a、C1bを形成し、さらに第7磁性体シート45gに整合用コンデンサ電極C01～C03を形成し、第1磁性体シート45aに終端抵抗Rを形成して構成されている。

【0070】そして上記第8磁性体シート45hの両端部には、上記凸部40に対応する帯板シート45j、45jが積層されており、各帯板シート45jには入力、出力端子電極41a、41b及びアース端子電極42a、42bが形成されている。この入力端子41aには入力電極29が接続され、出力端子電極41bには出力電極22が接続されており、基本的構造は上記第4実施形態と略同様である。

【0071】本実施形態によれば、フェライト積層基板45に帯域通過フィルタを構成するインダクタL1、コンデンサC1を内蔵し、これを入力ポートP1に付加したので、周波数帯域外での減衰量を大きくして不要輻射を低減できるとともに、帯域内での負荷変動を小さくでき、

縮小でき、上記第4実施形態と同様の効果が得られる。

【0072】本実施形態では、フェライト積層基板45に中心導体L01～L03、整合コンデンサC01～C03、入力、出力端子41a、41b及びアース端子42a、42b等のアイソレータの構成部品のほとんどを内蔵したので、部品点数を大幅に削減でき、組み付け工数、及びコストを低減でき、また部品素子全体の小型化を図ることができる。

【0073】なお、上記各実施形態では、集中定数型アイソレータを例に説明したが、本発明はサーキュレータにも勿論適用でき、この場合にも上記実施形態と同様の効果が得られる。

【0074】

【発明の効果】以上のように請求項1の発明に係る非可逆回路素子によれば、中心導体の入力ポートに帯域通過フィルタを構成する回路素子を付加したので、周波数帯域外における高調波歪及び不要輻射を低減でき、これにより簡単な構造でかつ安価に帯域通過フィルタを形成でき、高価な増幅器や別途フィルタを不要にして小型化、低価格化に貢献できる効果がある。

【0075】また入力ポートに帯域通過フィルタを付加したので、帯域内における負荷変動を小さくでき、増幅器の消費電流を低減できるとともに動作を安定化でき、通信機器の高性能化に貢献できる効果がある。

【0076】さらに上記回路素子と各中心導体とを多数の誘電体シートを積層してなる誘電体積層基板に形成したので、回路素子を内蔵するための別部品を不要にでき、小型化、軽量化に対応できる効果がある。

【0077】請求項2の発明では、回路素子と各中心導体と、該各中心導体の入出力ポートに接続される整合容量とを多数の誘電体シートを積層してなる誘電体積層基板に形成したので、請求項1と同様の効果が得られるとともに、部品点数を削減してコストを低減できる効果がある。

【0078】請求項3の発明では、回路素子と各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、該各中心導体に接続される入出力端子及びアース端子とを多数の誘電体シートを積層してなる誘電体積層基板に形成したので、請求項1と同様の効果が得られるとともに、非可逆回路素子の構成部品のほとんどを誘電体積層基板に内蔵でき、部品点数をさらに削減できる効果がある。

【0079】請求項4の発明では、回路素子と各中心導体とを多数の磁性体シートを積層してなる磁性体積層基板に形成したので、請求項1と同様の効果が得られるとともに、フェライトを不要にして部品点数を削減でき、コストを低減できる効果がある。

【0080】請求項5の発明では、回路素子と各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、該各中心導体に接続される入出力端子及びアース端子とを多数の磁性体シートを積層してなる磁性体積層基板に形成したので、請求項1と同様の効果が得られるとともに、フェライトを不要にして部品点数を削減でき、コストを低減できる効果がある。

板に形成したので、請求項1、4と同様の効果が得られるとともに、部品点数をさらに低減できる効果がある。

【0081】請求項6の発明では、回路素子と各中心導体と、該各中心導体の入出力ポートに接続される整合容量と、各中心導体に接続される入出力端子及びアース端子とを多数の磁性体シートを積層してなる磁性体積層基板に形成したので、請求項1、4と同様の効果が得られるとともに、部品点数を大幅に削減できる効果がある。

【図面の簡単な説明】

【図1】請求項1の発明の第1実施形態による集中定数型アイソレータを説明するための分解斜視図である。

【図2】上記アイソレータの誘電体積層基板の分解斜視図である。

【図3】上記アイソレータの等価回路図である。

【図4】上記アイソレータの効果を示す特性図である。

【図5】上記アイソレータの効果を示す特性図である。

【図6】請求項1の発明の第2実施形態を説明するための誘電体積層基板の分解斜視図である。

【図7】上記第2実施形態のアイソレータの等価回路図である。

【図8】請求項2の発明の一実施形態（第3実施形態）による集中定数型アイソレータの分解斜視図である。

【図9】上記アイソレータの誘電体積層基板の分解斜視図である。

【図10】請求項3の発明の一実施形態（第4実施形態）による集中定数型アイソレータの分解斜視図である。

【図11】上記アイソレータの誘電体積層基板の分解斜視図である。

【図12】請求項4の発明の一実施形態（第5実施形態）による集中定数型アイソレータの分解斜視図である。

【図13】上記アイソレータのフェライト積層基板の分

解斜視図である。

【図14】請求項5の発明の一実施形態（第6実施形態）による集中定数型アイソレータの分解斜視図である。

【図15】上記アイソレータのフェライト積層基板の分解斜視図である。

【図16】請求項6の発明の一実施形態（第7実施形態）による集中定数型アイソレータの分解斜視図である。

【図17】上記アイソレータのフェライト積層基板の分解斜視図である。

【図18】従来の一般的なアイソレータを示す分解斜視図である。

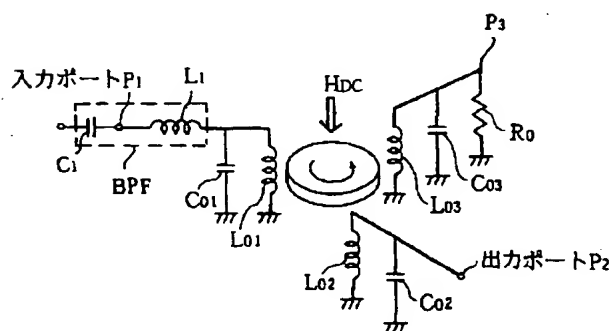
【図19】上記アイソレータの誘電体積層基板を示す分解斜視図である。

【図20】上記アイソレータの等価回路図である。

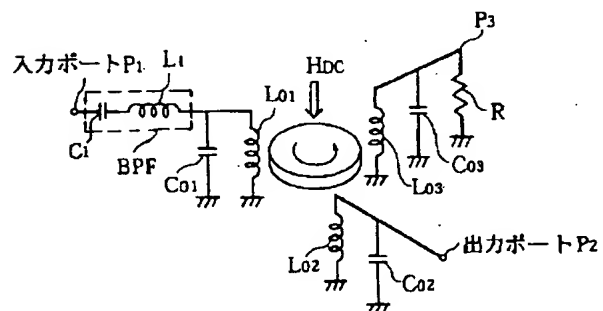
【符号の説明】

1	集中定数型アイソレータ（非可逆回路素子）
5	誘電体積層基板
5a~5j	誘電体シート
30	回路素子
41a, 41b	入力、出力端子
42a, 42b	アース端子
45	フェライト積層基板（磁性体積層基板）
45a~45j	磁性体シート
LP1~Lo3	中心導体
Co1~Co3	整合コンデンサ
L1	インダクタ（帯域通過フィルタの構成要素）
C1	コンデンサ（帯域通過フィルタの構成要素）

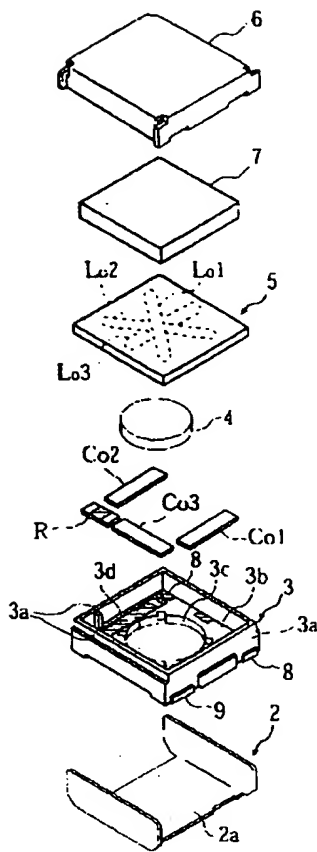
【図3】



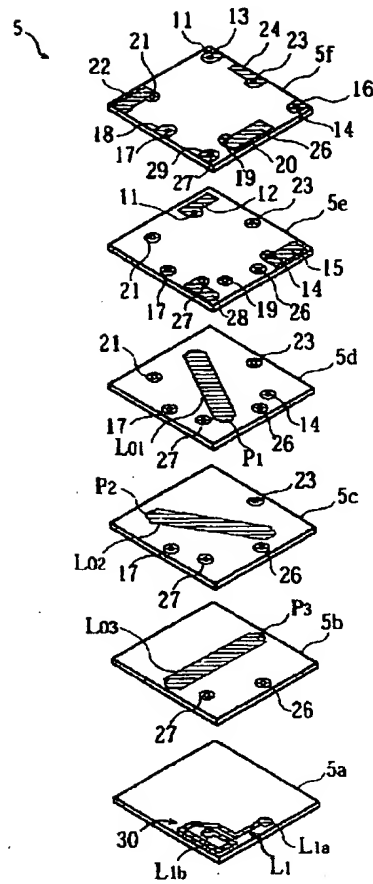
【図7】



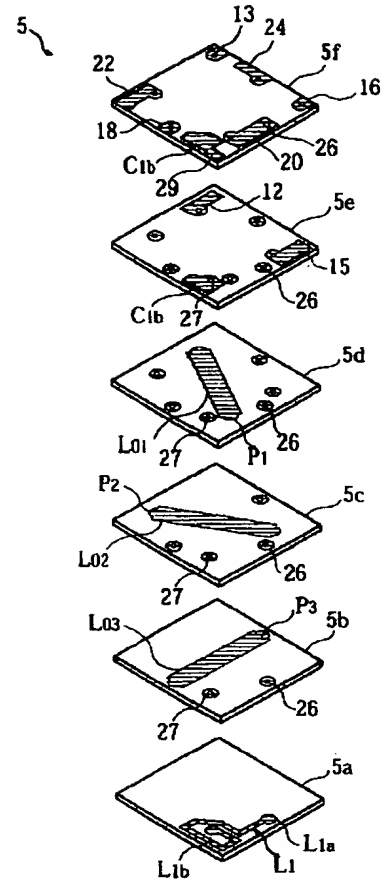
【図1】



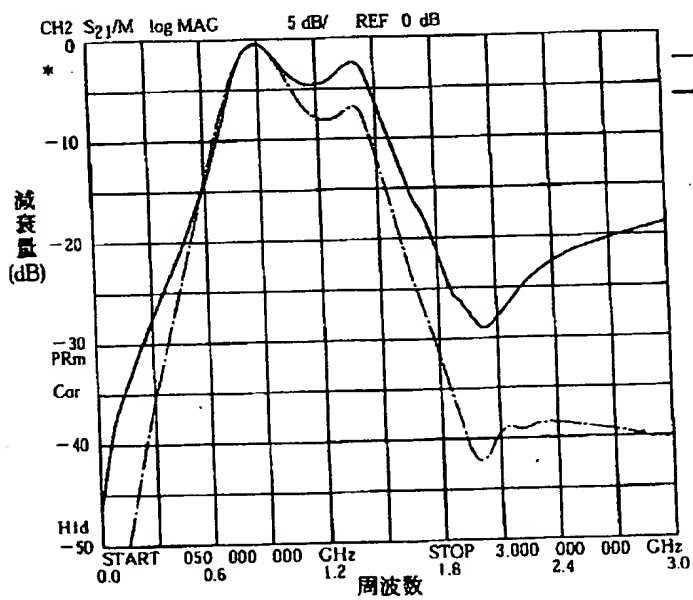
【図2】



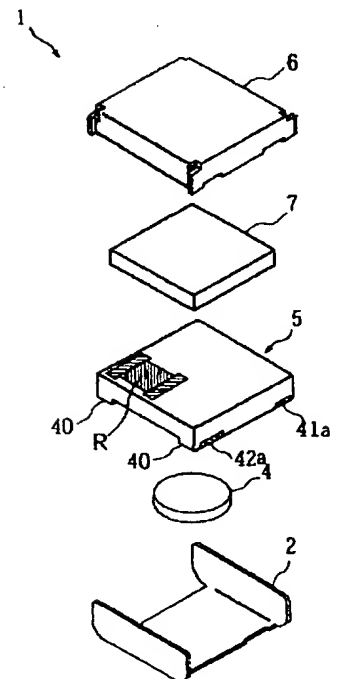
【図6】



【図4】



【図10】



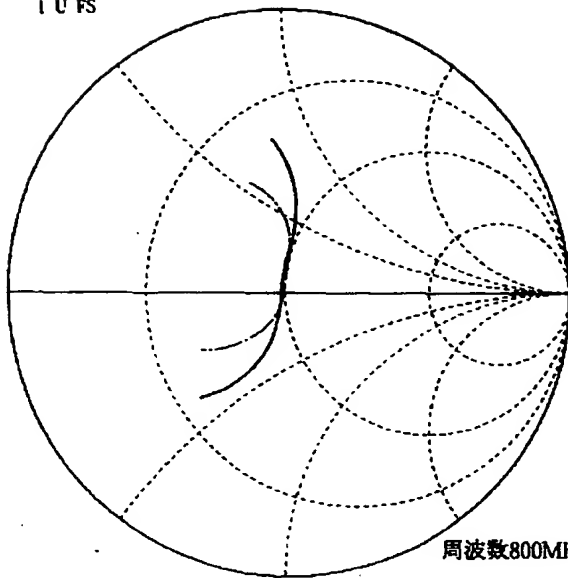
【図5】

CH1 S₁₁ 1 U FS

PRm

Cor

De1

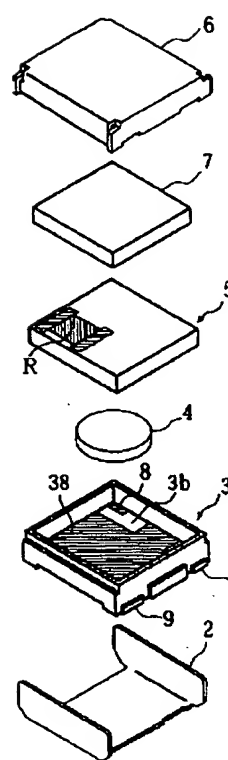


9 Feb 1998 16:40:34

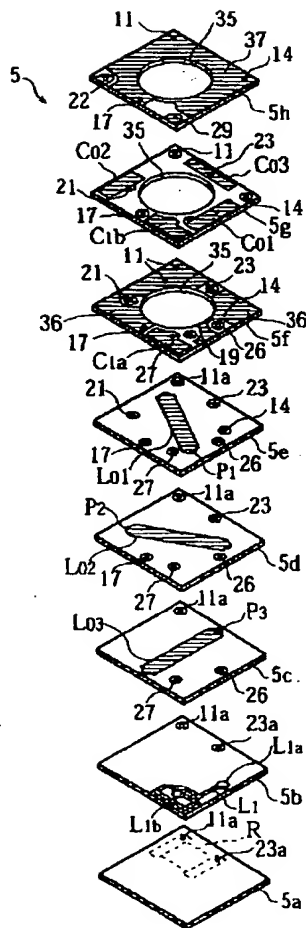
周波数800MHz~1000MHz

— 実施例
— 従来例

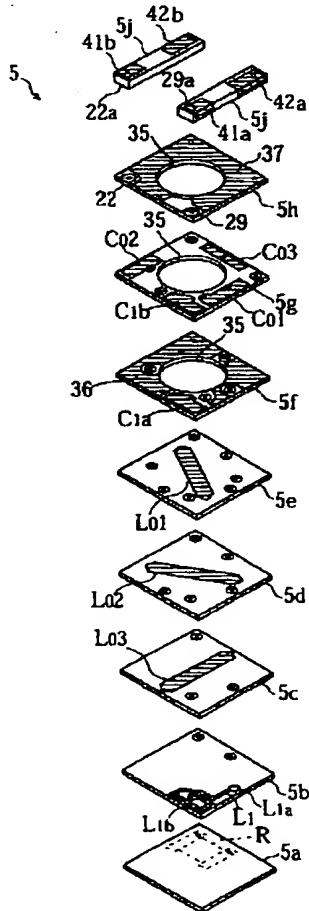
【図8】



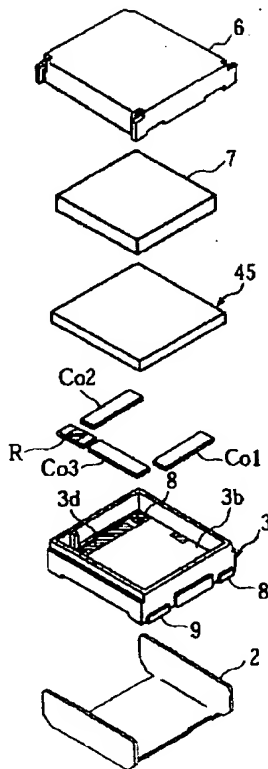
【図9】



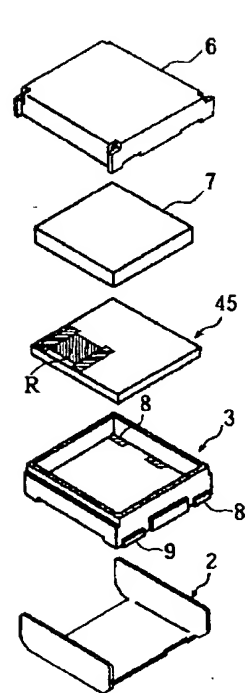
【図11】



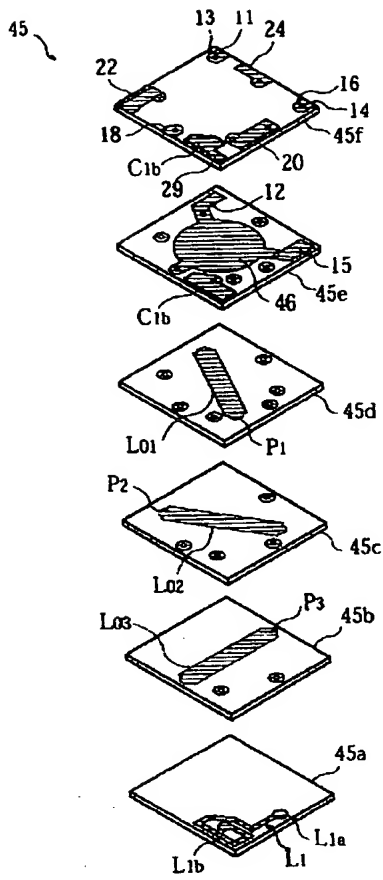
【図12】



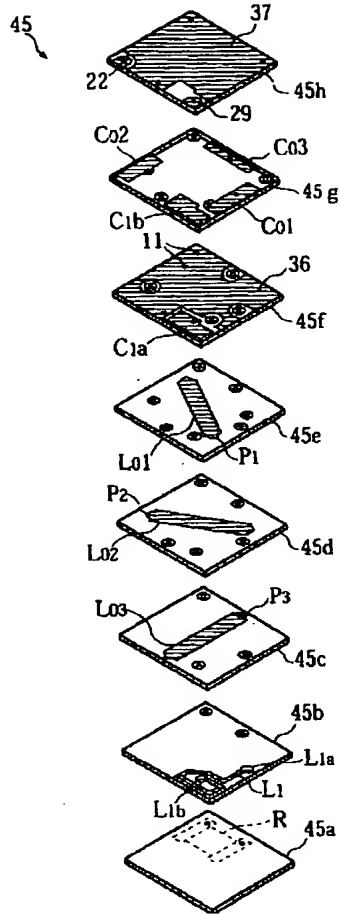
【図14】



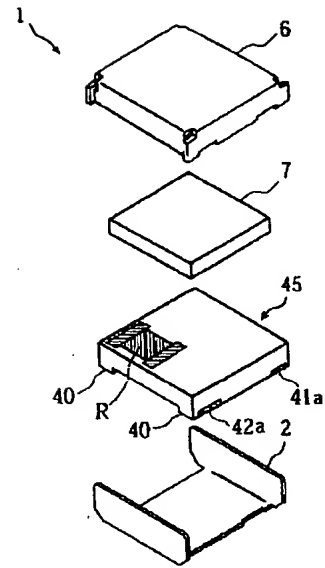
【図13】



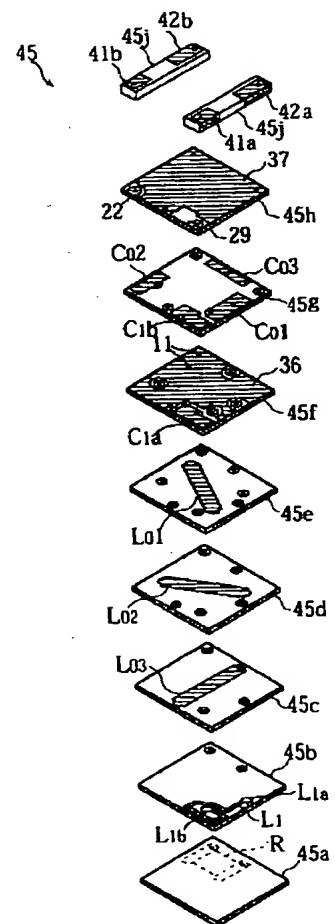
【図15】



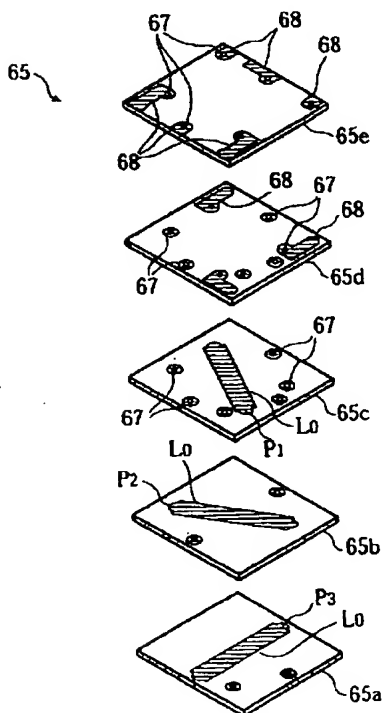
【図16】



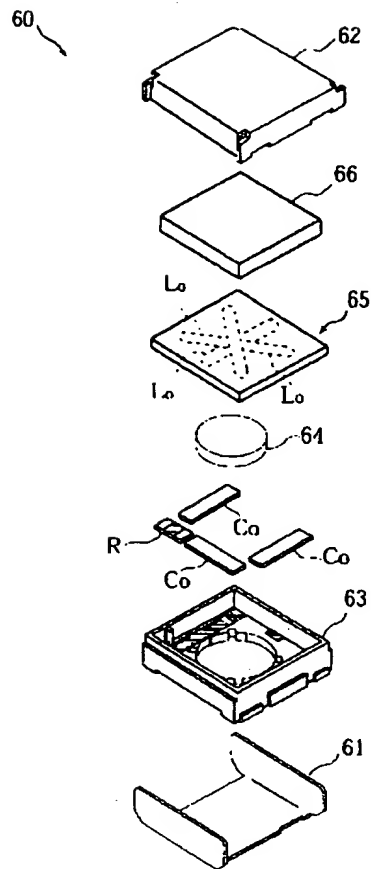
【图 17】



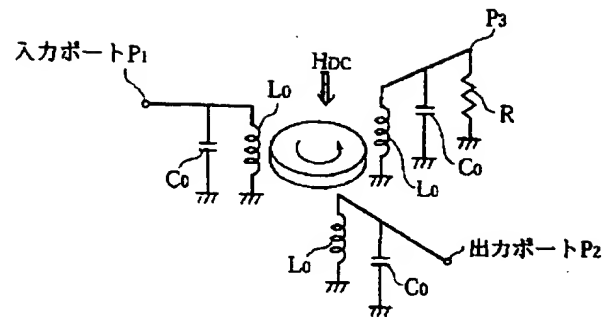
【図19】



【図18】



【図20】



フロントページの続き

(72)発明者 長谷川 隆
京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内